

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-257504

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H04N 7/32

H03M 7/30

H03M 7/36

(21)Application number : 09-350806

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 19.12.1997

(72)Inventor : ARAKI TOSHIYUKI
AOKI KATSUJI

(30)Priority

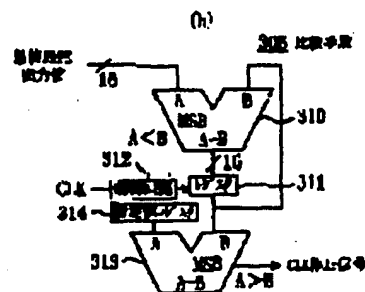
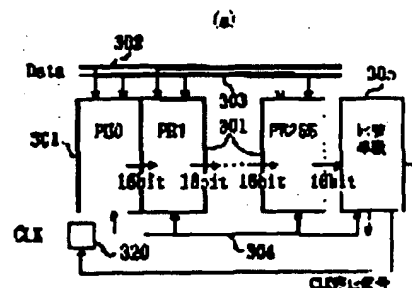
Priority number : 09 2028 Priority date : 09.01.1997 Priority country : JP

(54) MOTION VECTOR DETECTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption of a motion vector detector.

SOLUTION: As to an image consisting of plural pixels and a block having the same number of a pixel as a pixel of an image processor elements PE0-PE255 connected in cascade calculate an absolute value of a difference of data among corresponding pixels each other and accumulate and sum-up the absolute values of the differences of the respective pixels. The above arithmetic operation is applied to every block within a prescribed retrieval range. A comparison means 305 compares the accumulated sums of two blocks obtained sequentially through the processor element PE 255 of a final stage and selects repetitively the accumulated sum of a smaller value. A subtractor 313 compares the selected accumulated sum with a setting value stored in a register 314 and when the accumulated sum is less than the setting value, a control circuit 320 stops the supply of a clock signal to the processor elements PE0-PE255 and the comparison means 305 and the operation of the succeeding entire devices stops.



LEGAL STATUS

[Date of request for examination]

19.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-257504

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 N 7/32

H 0 4 N 7/137

Z

H 0 3 M 7/30

H 0 3 M 7/30

Z

7/38

7/38

審査請求 有 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平9-350808

(22) 出願日 平成9年(1997)12月19日

(31) 優先権主張番号 特願平9-2028

(32) 優先日 平9(1997)1月9日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 荒木 敏之

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 青木 勝司

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

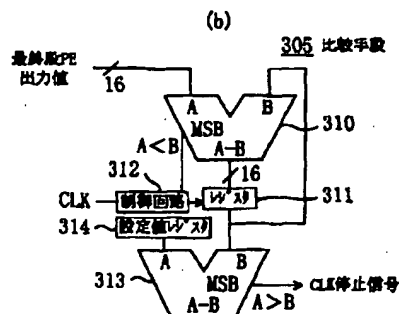
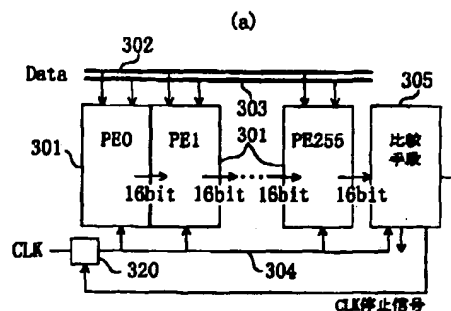
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 動きベクトル検出装置

(57) 【要約】

【課題】 動きベクトル検出装置において、低消費電力化を図る。

【解決手段】 複数の画素から成る画像と、前記画像の画素と同一数の画素を持つブロックとについて、カスケード接続されたプロセッサエレメント P E 0 ~ P E 255 は、対応する画素同士のデータの差分の絶対値を演算すると共に、各画素の差分の絶対値を累積加算する。以上の動作を所定探索範囲内の各ブロック毎に行う。比較手段305は、最終段のプロセッサエレメント P E 255 で順次得られた2個のブロックの累積加算値を比較し、小値の累積加算値を選択することを繰り返す。減算器313は、この選択した累積加算値をレジスタ314に記憶した設定値と比較し、設定値未満の場合には、制御回路320は、前記プロセッサエレメント P E 0 ~ P E 255 及び比較手段305へのクロック信号の供給を停止し、以後の装置全体の動作が停止する。



【特許請求の範囲】

【請求項1】 複数画素から成る画像と、前記画素の数よりも多数の画素を含む所定探索画像範囲内で前記画像の画素と同一数の画素を持つ複数のブロックとの相関を検出する動きベクトル検出装置であって、前記画像と1つのブロックとの対応する画素同士のデータの差分の絶対値を演算し、各画素の差分の絶対値を累積加算することを順次前記各ブロックについて行う複数個のカスケード接続されたプロセッサエレメントと、最終段のプロセッサエレメントにより得られた各ブロックの差分絶対値の累積加算値同士を減算により比較して小値の累積加算値を選択することを繰り返す比較手段と、

前記複数個のプロセッサエレメント及び前記比較手段の少なくとも一方の演算を制限して、前記比較手段で最終的に得られる差分絶対値の累積加算値が最小値でないが十分に小値の累積加算値となる可能性を持たせる制限手段とを備えたことを特徴とする動きベクトル検出装置。

【請求項2】 前記各プロセッサエレメントは、前記画像と1つのブロックとの対応する画素同士のデータの差分を演算すると共に、その差分値の絶対値を演算して、所定ビット数の差分絶対値を得る差分絶対値演算手段と、

前記差分絶対値演算手段により得られた差分絶対値と、前段のプロセッサエレメントの出力とを加算し、その加算結果を次段のプロセッサエレメントに転送する加算手段とを備え、

前記制限手段は、前記差分絶対値演算手段で得られた差分絶対値の下位の所定ビットを切り捨て又は丸め処理して、上位ビットの差分絶対値を得る処理手段より成ることを特徴とする請求項1記載の動きベクトル検出装置。

【請求項3】 前記各プロセッサエレメントは、前記画像と1つのブロックとの対応する画素同士のデータの差分を演算すると共に、その差分値の絶対値を演算して、差分絶対値を得る差分絶対値演算手段と、前記差分絶対値演算手段により得られた差分絶対値と、前段のプロセッサエレメントの出力とを加算し、その加算結果を次段のプロセッサエレメントに転送する加算手段とを備え、

前記加算手段は、ビット幅の小さい演算器で構成され、前記制限手段は、前記加算手段を構成する前記演算器と、前記演算器が前記ビット幅で表現できる最大値よりも大値を演算した際に後段のプロセッサエレメント以降での差分絶対値の累積加算を強制的に停止させる強制停止手段とから成ることを特徴とする請求項1記載の動きベクトル検出装置。

【請求項4】 前記ビット幅の小さい演算器は、前記ビット幅で表現できる最大値よりも大値を演算した際にオーバーフロー信号を出力する演算器により構成されており、

前記強制停止手段は、前段のプロセッサエレメントの前記演算器のオーバーフロー信号を受けて、前記加算手段の加算結果を無視すると共に、自段及び前段のプロセッサエレメントの前記オーバーフロー信号を次段のプロセッサエレメントに転送することを特徴とする請求項3記載の動きベクトル検出装置。

【請求項5】 前記制限手段は、前記比較手段により選択された小値の累積加算値を設定値と比較し、前記小値の累積加算値が前記設定値未満のとき、動きベクトル検出装置の全体の動作を停止させることを特徴とする請求項1記載の動きベクトル検出装置。

【請求項6】 前記制限手段は、前記小値の累積加算値が前記設定値未満のとき、停止信号を発生する信号発生手段と、前記信号発生手段が停止信号を発生したとき、前記各プロセッサエレメント及び前記比較手段へのクロック信号の供給を断つ制御手段とを有することを特徴とする請求項5記載の動きベクトル検出装置。

【請求項7】 前記各プロセッサエレメント内に備えられ、データを格納する複数のレジスタと、1つのブロックを構成する複数の画素データを前記各プロセッサエレメントに伝送するデータバスに配置されたデータ転送制御回路とを備え、

前記制限手段は、前記複数のレジスタ及び前記データ転送制御回路の各ビット列を連続する複数のビット列に分割し、その分割した各ビット列別に独立して書き込み制御又は転送制御を行うことを特徴とする請求項1記載の動きベクトル検出装置。

【請求項8】 前記制限手段は、切換信号を発生し、この切換信号により前記複数のレジスタ及び前記データ転送制御回路の各ビット列の下位所定ビット列へのクロック信号の供給を停止するものであることを特徴とする請求項7記載の動きベクトル検出装置。

【請求項9】 複数画素から成る画像と、前記画素の数よりも多数の画素を含む所定探索画像範囲内で前記画像の画素と同一数の画素を持つ複数のブロックとの相関を検出する動きベクトル検出装置であって、

前記画像と1つのブロックとの対応する画素同士のデータの差分の絶対値を演算し、各画素の差分の絶対値を累積加算することを順次前記各ブロックについて行う複数個のカスケード接続されたプロセッサエレメントを備え、

前記各プロセッサエレメントは、前記画像と1つのブロックとの対応する画素同士のデータの差分を演算すると共に、その差分値の絶対値を演算して、差分絶対値を得る差分絶対値演算手段と、前記差分絶対値演算手段により得られた差分絶対値と、前段のプロセッサエレメントの出力とを加算し、その加算結果を次段のプロセッサエレメントに転送する加算手

段とを有し、前記各プロセッサエレメントの加算手段は、後段に位置するプロセッサエレメントの加算手段ほどビット幅が大きいことを特徴とする動きベクトル検出装置。

【請求項10】 前記各プロセッサエレメントの加算手段は、オーバーフローを生じない必要最低限のビット幅を持つことを特徴とする請求項9記載の動きベクトル検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、動画像の圧縮手法の1つである動き補償予測において、その予測に用いられる動きベクトルを検出するための動きベクトル検出装置の改良に関するものである。

【0002】

【従来の技術】 膨大なデータ量を有する動画像の転送又は蓄積には、データ量を削減する動画像圧縮技術が必要不可欠である。この動画像圧縮技術において、動き補償予測と呼ばれる圧縮手法がある。この動き補償予測は、相関性が高い画像間の変位を抽出することにより、動画像が持つ時間軸方向の冗長性を低めて、情報量を圧縮する手法である。この動き補償において用いる相関性が高い画像間の変位は、動きベクトルと呼ばれており、その検出には、ブロックマッチング法と呼ばれる検出手法を用いることが一般的である。以下、前記ブロックマッチング法を図5を用いて簡単に説明する。

【0003】 ブロックマッチング法とは、2つの画像間の相関を所定のブロック単位で評価判定する方法である。図5において、Picture A 501上のブロック（前画像）502に対する動きベクトルを検出する場合に、Picture B 503上の所定探索画像範囲504内の複数のブロックに対して評価値を計算する。この計算において、評価値が最も良い（相関が最高の）値が算出されたブロックが図5のブロックX 505であった場合、前画像ブロック502をPicture B 503上に投影した位置からブロックX 505までの変位を動きベクトル506として検出する。

【0004】 相関性の高さを示す評価値には、一般的に、同一画素数を持つ2つのブロック相互において、空間的に対応する画素同士の差の絶対値を全ての画素について累積加算した総和値を用いる。従って、この評価値が小値なほど、相互のブロック間の差が少ない、つまり相関性が高いことを示す。

【0005】 前記ブロックマッチング法により動きベクトルを検出する従来の動きベクトル回路として、例えば特開平7-184210号公報に開示された技術が知られている。図1は動きベクトル検出装置の全体構成を示す。この構成は、1つのブロック内の画素数が256個、画素値が8ビット値である場合の一例である。同図において、601はカスケード接続されたプロセッサエレメント（以下、PEという）であって、1つのブロック内の画素

数と同数個（即ち、256個）設けられる。602は探索範囲504内の1つのブロックの画素データを転送するバスR、603は前画像ブロック502の画素データを転送するバスS、604は各PE 601に動作クロックを供給するクロックライン、605は最終段のPE 601の出力を入力し、その出力の前回値と今回値とを比較する比較手段である。

【0006】 図9は、前記動きベクトル検出装置において、各PE 601の従来の内部構成を示す。同図において、610はバスR 602及びバスS 603を通じて転送される画素データの差分値の絶対値を計算する差分絶対値演算器、611は前記差分絶対値演算器610の出力値と前段のPE 601の出力値とを加算し、その加算結果を後段のPE 601に出力する加算器、612はバスS 603を通じて転送される前画像ブロックの画素データを保持するレジスタ、613は前記差分絶対値演算器610及び加算器611の演算をパイプライン処理するためのパイプラインレジスタ、614は各PE 601の加算器611の演算をパイプライン処理するためのパイプラインレジスタである。

【0007】 次に、前記動きベクトル検出装置の動作を説明する。前画像ブロック502の先頭の画素データが最初段のPE 0のレジスタ612に保持されると共に差分絶対値演算器610に転送される。また、探索範囲504内の1つのブロック（例えばブロックX 505）の先頭の画素データが前記最初段のPE 0の差分絶対値演算器610に転送される。この差分絶対値演算器610は、前記転送された2つの画素データの差分絶対値を演算し、その結果をパイプラインレジスタ613に転送する。加算器611は前記レジスタ613の差分絶対値を後段のパイプラインレジスタ614に転送し、この差分絶対値は後段のPE 1に転送される。

【0008】 続いて、前画像ブロック502内の前記先頭画素データに続く第2番目の画素データが第2段目のPE 1に転送されると共に、探索範囲504内の前記ブロックX 505の次の画素データが前記第2段目のPE 1に転送される。この第2段目のPE 1では、前記最初段のPE 0と同様に、転送された2つの画素データの差分絶対値が演算され、パイプラインレジスタ613に格納される。更に、この第2段目のPE 1では、加算器611は、前記最初段のPE 0から転送された先頭画素データの差分絶対値と、第2番目の画素データの差分絶対値とを加算し、その結果はパイプラインレジスタ614に保持されると共に、後段のPE 2に転送される。

【0009】 以下、同様の動作を繰り返して、最終段のPE 255では、パイプラインレジスタ614に、前画像ブロック502と探索範囲504のブロックX 505との間での全画素の差分絶対値の総和値が得られる。

【0010】 以上の動作は、探索範囲504に含まれる全てのブロック（図5では他の1つのブロックY 507を図示した）について、順次、繰り返し行われる。

【0011】 比較手段605は、最終段のPE 601が出力し

た差分絶対値の総和を受け、前回のブロック（例えばブロックx 505）での総和値と今回のブロック（例えば図5のブロックY 507）での総和値とを比較し、そのうち小値の総和値を選択する。探索範囲504内の全てのブロックについて差分絶対値の総和値が演算され、その大小比較が終了すると、比較手段605には、最小の総和値が得られ、この最小値を持つブロックの前画像ブロック502に対する変位が、動きベクトルとして出力されることになる。

【0012】

【発明が解決しようとする課題】しかしながら、前記従来の動きベクトル検出装置では、膨大な演算処理を要して、消費電力が大電力になる欠点を有すると共に、回路規模も膨大である欠点を持つ。以下、これ等の欠点を詳細に説明する。

【0013】即ち、図5に示すpictureA 501は、標準的なテレビ動画像の場合、1秒間に30個のpictureを表示する動画像のうちの1 pictureであり、その大きさは、720画素×480ラインである。また、図5における前画像ブロック502の大きさは、動画像圧縮における動き補償予測に用いる動きベクトル検出では、16画素×16ラインが標準的であり、従って、探索範囲504内に存在するブロックの個数は1024個になる。以上の数値の場合、ブロックマッチングを行うブロックの個数は、1秒間に40,500（ $=720 \times 480 \times 30 \div 16 \div 16$ ）個存在することになる。また、各ブロック毎に行われるブロックマッチングには、262,114（ $=1,024 \times 16 \times 16$ ）回の差分絶対値の演算と総和演算とを行う必要がある。このため、前記ブロックマッチング法により動きベクトルの検出を行うには、1秒間に10,616,832,000（ $=40500 \times 262114$ ）回もの膨大な差分絶対値の演算と総和演算処理とを必要とする。従って、電力消費は大電力になる。

【0014】また、前記各画素の差分絶対値の演算及びそれ等の加算演算（総和）を精度良く行うには、各PE内の差分絶対値演算器、加算器、パイプラインレジスタ等を広ビット幅のもので構成する必要がある。更には、これ等を内部に有するPEを256個も備える必要がある。その結果、回路規模が膨大になる。

【0015】本発明は前記問題点を解決するものであり、その目的は、動きベクトル検出装置において、回路規模を小さくし、また低消費電力で動きベクトルを検出することにある。

【0016】

【課題を解決するための手段】以上の目的を達成するため、本発明では次の点に着目した。即ち、動き補償予測において、動きベクトルは、前画像ブロックとの相関性が最高のブロックの変位でなくても、前記相関性が十分に高いブロックの変位であれば、画像間の冗長性を有効に低めて、動画像を高い圧縮効率で圧縮することが可能である。

【0017】従って、第1に、探索範囲内の複数のブロックについての評価値の計算に際し、最良の評価値でなくとも、この評価値に準ずる評価値が得られるような構成、即ち、評価値が相関性の高低を示す程度に精度（分解能）が低くても良い構成とすれば、各PE内の加算器等の持つビット幅を小さく制限でき、その分、回路規模を小さく且つ低消費電力にできる。

【0018】第2に、複数のPEを使用して各画素の差分絶対値を順次加算する総和計算において、各PEの加算器の加算結果として予め設定値（スレッショールド値）を設定しておき、この設定値を越える加算結果が算出された時、即ち、最終的に総和値を得ても相関性が低いと予測できる場合には、これ以降のPEの差分絶対値の無駄な加算処理を停止すれば、消費電力を低減できる。

【0019】第3に、前画像ブロックとの相関性が十分に高いブロックが検出されれば、それ以上に高い相関性を持つブロックの検出は不要であり、従って、この時点以降の評価値の計算を停止でき、その分、計算回数が減少して、低消費電力になる。

【0020】また、従来の動きベクトル検出装置では、各PE0～PE255の加算器611は、全て、最終段のPE255(601)で得られる差分絶対値の総和値の最大値を表現できるビット幅を持つ。しかし、各加算器611は、前段のPEの加算器611で得られた値、即ち既に算出された各画素の差分絶対値の合計値に、自段のPEで算出された差分絶対値を加算するので、後段のPEの加算器ほど算出する最大値は大きく、前段のPEの加算器ほど必要とするビット幅は小さくて済む。従って、前段のPEの加算器ほどビット幅の小ささもので構成すれば、回路規模を小さくすることができる。

【0021】以上の観点から、請求項1記載の発明の動きベクトル検出装置は、複数画素から成る画像と、前記画素の数よりも多数の画素を含む所定探索画像範囲内で前記画像の画素と同一数の画素を持つ複数のブロックとの相関を検出する動きベクトル検出装置であって、前記画像と1つのブロックとの対応する画素同士のデータの差分の絶対値を演算し、各画素の差分の絶対値を累積加算することを順次前記各ブロックについて行う複数のカスケード接続されたプロセッサエレメントと、最終段のプロセッサエレメントにより得られた各ブロックの差分絶対値の累積加算値同士を減算により比較して小値の累積加算値を選択することを繰り返す比較手段と、前記複数のプロセッサエレメント及び前記比較手段の少なくとも一方の演算を制限して、前記比較手段で最終的に得られる差分絶対値の累積加算値が最小値でないが十分に小値の累積加算値となる可能性を持たせる制限手段とを備えたことを特徴とする。

【0022】また、請求項2記載の発明は、前記請求項1記載の動きベクトル検出装置において、前記各プロセ

ッサエレメントは、前記画像と1つのブロックとの対応する画素同士のデータの差分を演算すると共に、その差分値の絶対値を演算して、所定ビット数の差分絶対値を得る差分絶対値演算手段と、前記差分絶対値演算手段により得られた差分絶対値と、前段のプロセッサエレメントの出力とを加算し、その加算結果を次段のプロセッサエレメントに転送する加算手段とを備え、前記制限手段は、前記差分絶対値演算手段で得られた差分絶対値の下位の所定ビットを切り捨て又は丸め処理して、上位ビットの差分絶対値を得る処理手段より成ることを特徴とする。

【0023】更に、請求項3記載の発明は、前記請求項1記載の動きベクトル検出装置において、前記各プロセッサエレメントは、前記画像と1つのブロックとの対応する画素同士のデータの差分を演算すると共に、その差分値の絶対値を演算して、差分絶対値を得る差分絶対値演算手段と、前記差分絶対値演算手段により得られた差分絶対値と、前段のプロセッサエレメントの出力とを加算し、その加算結果を次段のプロセッサエレメントに転送する加算手段とを備え、前記加算手段は、ビット幅の小さい演算器で構成され、前記制限手段は、前記加算手段を構成する前記演算器と、前記演算器が前記ビット幅で表現できる最大値よりも大値を演算した際に後段のプロセッサエレメント以降での差分絶対値の累積加算を強制的に停止させる強制停止手段とから成ることを特徴とする。

【0024】加えて、請求項4記載の発明は、前記請求項3記載の動きベクトル検出装置において、前記ビット幅の小さい演算器は、前記ビット幅で表現できる最大値よりも大値を演算した際にオーバーフロー信号を出力する演算器により構成されており、前記強制停止手段は、前段のプロセッサエレメントの前記演算器のオーバーフロー信号を受けて、前記加算手段の加算結果を無視すると共に、自段及び前段のプロセッサエレメントの前記オーバーフロー信号を次段のプロセッサエレメントに転送することを特徴とする。

【0025】更に加えて、請求項5記載の発明は、前記請求項1記載の動きベクトル検出装置において、前記制限手段は、前記比較手段により選択された小値の累積加算値を設定値と比較し、前記小値の累積加算値が前記設定値未満のとき、動きベクトル検出装置の全体の動作を停止させることを特徴とする。

【0026】また、請求項6記載の発明は、前記請求項5記載の動きベクトル検出装置において、前記制限手段は、前記小値の累積加算値が前記設定値未満のとき、停止信号を発生する信号発生手段と、前記信号発生手段が停止信号を発生したとき、前記各プロセッサエレメント及び前記比較手段へのクロック信号の供給を断つ制御手段とを有することを特徴とする。

【0027】更に、請求項7記載の発明は、前記請求項

1記載の動きベクトル検出装置において、前記各プロセッサエレメント内に備えられ、データを格納する複数のレジスタと、1つのブロックを構成する複数の画素データを前記各プロセッサエレメントに伝送するデータバスに配置されたデータ転送制御回路とを備え、前記制限手段は、前記複数のレジスタ及び前記データ転送制御回路の各ビット列を連続する複数のビット列に分割し、その分割した各ビット列別に独立して書き込み制御又は転送制御を行うことを特徴とする。

【0028】加えて、請求項8記載の発明は、前記請求項7記載の動きベクトル検出装置において、前記制限手段は、切換信号を発生し、この切換信号により前記複数のレジスタ及び前記データ転送制御回路の各ビット列の下位所定ビット列へのクロック信号の供給を停止するものであることを特徴とする。

【0029】更に加えて、請求項9記載の発明の動きベクトル検出装置は、複数画素から成る画像と、前記画素の数よりも多数の画素を含む所定探索画像範囲内で前記画像の画素と同一数の画素を持つ複数のブロックとの相関を検出する動きベクトル検出装置であって、前記画像と1つのブロックとの対応する画素同士のデータの差分の絶対値を演算し、各画素の差分の絶対値を累積加算することを順次前記各ブロックについて行う複数のカスケード接続されたプロセッサエレメントを備え、前記各プロセッサエレメントは、前記画像と1つのブロックとの対応する画素同士のデータの差分を演算すると共に、その差分値の絶対値を演算して、差分絶対値を得る差分絶対値演算手段と、前記差分絶対値演算手段により得られた差分絶対値と、前段のプロセッサエレメントの出力とを加算し、その加算結果を次段のプロセッサエレメントに転送する加算手段とを有し、前記各プロセッサエレメントの加算手段は、後段に位置するプロセッサエレメントの加算手段ほどビット幅が大ききことを特徴とする。

【0030】また、請求項10記載の発明は、前記請求項9記載の動きベクトル検出装置において、前記各プロセッサエレメントの加算手段は、オーバーフローを生じない必要最低限のビット幅を持つことを特徴とする。

【0031】以上の構成により、請求項1ないし請求項8記載の発明では、複数のプロセッサエレメントでの演算及び比較手段での減算処理の少なくとも一方が、制限手段により制限されるので、消費電力が低減すると共に、回路規模を小さく構成できる。その際、比較手段で最終的に得られる差分絶対値の累積加算値が、最小値の近傍の値である場合に、この近傍値のブロックを相関性の十分に高いブロックとして動きベクトルを検出して、画像間の冗長性を有効に低めることができ、動画像を高い圧縮効率で圧縮することが可能である。

【0032】特に、請求項2記載の発明では、各プロセッサエレメントにおいて、加算手段のビット幅が狭く設

定されるので、回路規模が小さい。更に、その回路規模が小さい分、消費電力も低減される。

【0033】また、請求項3及び請求項4記載の発明では、各プロセッサエレメントにおいて、加算器が設定値を超える加算結果を算出した場合、即ち、以降の加算結果を続行して最終的に総和値を得ても相関性が低いと予測される場合には、以降のプロセッサエレメントでの差分絶対値の無駄な加算処理を停止するので、消費電力が低減されることになる。

【0034】更に、請求項5及び請求項6記載の発明では、前画像ブロックとの相関性が十分に高いブロックが検出されれば、このブロックに基づいて動きベクトルを検出することとし、それ以上に高い相関性を持つブロックの検出を不要とするので、この時点以降のブロックの差分絶対値の累積加算値の計算を停止して、計算回数が効果的に減少する分、低消費電力になる。

【0035】加えて、請求項7及び請求項8記載の発明では、切換信号により、各レジスタ及びデータ転送制御回路の下位ビットの動作を強制的に停止させるので、全ビットを用いた所期精度が得られる処理と、上位ビットのみを用いた精度が低下した処理との両処理を実現でき、上位ビットのみを用いた処理では低消費電力化が図られる。

【0036】また、請求項9及び請求項10記載の発明では、各プロセッサエレメントの加算手段のビット幅は、後段のプロセッサエレメントの加算手段ほど大きく設定されているので、従来のように最終段の加算手段のビット幅を全ての加算手段で採用する場合に比して、回路規模を有効に低減できると共に、回路規模が小さい分、低消費電力になる。

【0037】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。

【0038】(第1の実施の形態)図1及び図2は本発明の第1の実施の形態の動きベクトル検出装置を示し、図1はその全体構成を示す。動きベクトル検出装置の全体構成は既述したので、以下、その構成要素であるプロセッサエレメント(以下、PEと略す)の内部構成を図2に基づいて説明する。

【0039】図2において、110は差分値の絶対値を計算して8ビット幅の差分絶対値を得る差分絶対値演算器、111は加算器(加算手段)、112は前記差分絶対値演算器110のB端子に接続されたレジスタであって、図5の前画像ブロック502の画素データが入力される。113は前記差分絶対値演算器110の出力側に配置されたパイプラインレジスタ、114は前記加算器111の出力側に配置されたパイプラインレジスタである。

【0040】本実施の形態のPE601は、差分絶対値演算器110により演算された8ビット幅の差分絶対値のうち上位4ビットのみがパイプラインレジスタ113を経て

加算器111に入力される。従って、前記加算器111及び2個のパイプラインレジスタ113、114は4ビット幅のもので構成される。

【0041】前記差分絶対値演算器110の差分絶対値のうち上位4ビットのみを加算器111に入力する構成により、差分絶対値演算器110の差分絶対値の下位4ビットを切り捨て処理して、上位4ビットの差分演算値を得る処理手段10を構成している。また、この処理手段10により、プロセッサエレメントPEの加算器111での演算を制限する制限手段を構成する。

【0042】以下、本実施の形態の動きベクトル検出装置の動作を説明する。レジスタ112に保持された前画像ブロック502内の画素と、この画素と空間的に対応するブロックX 505内の画素との差分の絶対値が絶対値差分演算器110で計算され、その計算された差分絶対値の上位4ビットがパイプラインレジスタ113に保持される。そして、パイプラインレジスタ113に保持された差分絶対値と、前段のPEの加算器111の出力(即ち、既に計算された差分絶対値の合計値)とが自段のPEの加算器111で加算され、その加算結果がパイプラインレジスタ114に格納される。

【0043】ここで、各PEでは、差分絶対値演算器110で得られた差分絶対値の下位4ビットが捨てられるので、差分絶対値演算器110の差分絶対値を“16”で除算した値がパイプラインレジスタ113に保持され、この上位4ビットの差分絶対値が加算器111に与えられる。その結果、本実施の形態の動きベクトル検出装置では、最終段のPEに、各画素の差分絶対値を“16”で除算した値の総和値が出力されるので、従来と比較して、精度(分解能)は低い、その総和値は十分に相関性の高低を示す指標値であるので、この総和値に基づいて得られる動きベクトルを動き補償予測に用いても、十分に高い圧縮率が得られる。

【0044】しかも、本実施の形態では、加算器111及びパイプラインレジスタ113、114のビット幅が従来の8ビットに対し4ビットと狭いので、回路規模が小さい。更には、回路規模が小さい分、消費電力も小さくなる。

【0045】具体的に、本実施の形態では、従来の動きベクトル検出装置に比べ、パイプラインレジスタ113は50%、加算器111は75%、パイプラインレジスタ114は75%の回路規模で構成することができる。

【0046】尚、本実施の形態では、差分絶対値演算器110の出力の下位4ビットを切り捨てたが、差分絶対値演算器110の出力の所定ビット目に対し4捨5入等の丸め処理を施して、ビット幅を削減する場合であっても、同様の効果が得られるのは勿論である。

【0047】(第2の実施の形態)次に、本発明の第2の実施の形態を図3に基づいて説明する。動きベクトル検出装置の全体構成は図1と同様であるので、その説明を省略する。

【0048】図3はPEの内部構成を示す。同図において、210は差分絶対値演算器、211は加算器、212はレジスタ、213、214はパイプラインレジスタである。図9に示した従来の加算器611は16ビット幅のもので構成されるが、本実施の形態では、加算器211はビット幅の小さい演算器、例えば10ビット幅の演算器で構成されている。

【0049】前記加算器211は、前記10ビット幅で表現できる最大値（スレッシュホールド値）よりも大きな値を演算した際には、オーバーフロー信号215を出力する。OR回路216は、前記加算器211からのオーバーフロー信号215を受けると共に、前段のPE（図示せず）の出力信号を信号線路216aを経て受け、この両信号の論理和をとる。前記OR回路216の出力はパイプラインレジスタ217を経て次段のPE（図示せず）のOR回路に出力される。遷移禁止手段218は、前記加算器211からのオーバーフロー信号215を受けて、前記加算器211の後段に位置するパイプラインレジスタ214のデータの遷移を禁止する。

【0050】何れかのPEの加算器211が前記スレッシュホールド値よりも大きな値を演算した際には、その次段のPEの遷移禁止手段218が前記オーバーフロー信号215に基づいて自段のPEのパイプラインレジスタ214のデータの遷移を禁止することにより、自段の加算器211の加算結果を無視して、次段のPE以降での差分絶対値の累積加算を強制的に停止させると共に、自段及び前段のPEからのオーバーフロー信号を前記OR回路216及びパイプラインレジスタ217を経て後段のPEに転送する強制停止手段20を構成する。

【0051】以下、本実施の形態の動きベクトル検出装置の動作を説明する。加算器211は、その計算結果がスレッシュホールド値（10ビットで表現できる最大値）以上となった際には、オーバーフロー信号215を出力する。OR回路216は、前記加算器211からのオーバーフロー信号215と、前段のPEからのオーバーフロー信号との論理和をとり、その結果をパイプラインレジスタ217を介して後段のPEに転送する。各PEでは、オーバーフロー信号215が前段のPEから伝達された際には、遷移禁止手段218がパイプラインレジスタ214でのデータの遷移を、クロック信号の供給の停止等により禁止する。その結果、スレッシュホールド値以上の値が計算された場合には、それ以降の総和計算が停止される。従って、低消費電力化を図ることができる。次回は、探索範囲504内の残るブロック（例えば図5のブロックY 507等）に対し、差分絶対値の総和値の計算が行われ、その何れかのブロックの総和値が最小値となるので、この最小値の総和値を持つブロックと前画像ブロックとの変位が動きベクトルとして検出されることになる。

【0052】尚、オーバーフロー信号215に基づいて総和計算が停止した場合、最終段のPEから出力される評

価値は不定値となる。しかし、比較手段605にオーバーフロー信号215が入力され、その不定の評価値を比較対象から除外するように構成すれば、その不定の評価値を誤って最小の評価値と判断することを防止できる。

【0053】本実施の形態では、加算器211のビット幅を10ビットとした場合には、従来の動きベクトル検出装置に比べて、加算器211は62.5%、パイプラインレジスタ214は62.5%の回路規模で構成可能である。

【0054】尚、本実施の形態では、各PEにおいて、前段のPEのオーバーフロー信号215により、自段のPEのパイプラインレジスタ214でのデータ遷移を禁止したが、この構成に加えて、前々段のPEのオーバーフロー信号215により自段のPEのパイプラインレジスタ213でのデータの遷移を禁止すれば、自段以降のPEで必要な計算を行っている加算器211の加算動作と、パイプラインレジスタ213でのデータの遷移をも禁止できる。更に加えて、前々々段のPEのオーバーフロー信号215により自段の差分絶対値演算器210のA端子に入力する信号の遷移を禁止すれば、自段以降のPEで必要な計算を行っている差分絶対値演算器210の遷移も禁止でき、より一層に低消費電力化を図ることが可能である。

【0055】（第3の実施の形態）続いて、本発明の第3の実施の形態の動きベクトル検出装置を図4に基づいて説明する。

【0056】図4（a）は、本実施の形態の動きベクトル検出装置の全体構成を示す。同図（a）は、1つのブロック内の画素数が256個である場合の構成を示し、301はカスケード接続された複数個のPEであって、ブロック内の画素数と同数個（即ち、256個）存在する。302及び303は各PE301で行う演算に必要な画素データを転送するバスR及びバスS、304は各PE301に動作クロックを供給するクロックライン、305は最終段のPE301の出力値が入力される比較手段である。

【0057】本実施の形態では、前記比較手段305及びクロックライン304の構成に特徴を持つ。図4（b）に前記比較手段305の内部構成を示す。同図（b）の比較手段305において、比較器310は、最終段のPE301の出力値Aと、レジスタ311の保持値Bとを減算により比較し、その減算結果(A-B)が負値である場合に、レジスタ311に保持する内容を前記最終段のPE301の出力値Aに書き換える。このレジスタ311の書き込み制御は制御回路312により行われる。前記制御回路312は、前記比較器310の出力のMSB (Most Significant Bit)と、クロックライン304より供給されるクロック信号とに基づいて書き込み制御信号を生成し、この制御信号をレジスタ311に出力する。

【0058】また、313は減算器、314は最終段のPE301で得られる差分絶対値の累積加算値として予め決定した設定値を格納する設定値レジスタである。前記減算器313は、前記設定値レジスタ314に格納した設定値から、

前記レジスタ311に格納した最終段のPE301で実際に得られた小値の累積加算値を減算し、実際に得られた累積加算値が前記設定値未満の場合には、前記減算結果のMSB(Most Significant Bit)をクロック停止信号(停止信号)として出力する。前記減算器313は信号発生回路として機能する。

【0059】図4(a)において、クロックライン304には制御回路(制御手段)320が配置される。この制御回路320は、前記減算器313からのクロック停止信号を受けて、クロックライン304へのクロック信号の供給を停止する。従って、前記クロック停止信号の発生時には、各PE301並びに比較手段305の比較器310及びレジスタ311は、クロック信号を受けず、その動作を停止する。尚、本実施の形態とは異なって、減算器313の停止信号により、各PEへの画素データの転送を停止させる構成を採用してもよい。前記減算器313及び制御回路320により、レジスタ311に格納した値(即ち、最終段のPE301で実際に得られた小値の累積加算値)が前記設定値未満のときに、動きベクトル検出装置の全体の動作を停止させる制限手段を構成する。

【0060】従って、本実施の形態では、最終段のPE301で実際に得られた累積加算値が前記設定値未満であれば、それ以降の装置全体の動作を止めて、前記設定値未満の累積加算値を持つブロックを、前画像ブロックと十分に相関性のあるブロックとして、動きベクトルを検出できる。つまり、本実施の形態では、前画像ブロックと十分に相関性のあるブロックが得られれば、探索範囲504内の残るブロックについての差分絶対値の累積加算値の算出を停止できるので、従来のように探索範囲504内の全てのブロックについて常に差分絶対値の累積加算値を算出する場合に比して、低消費電力化を達成できる。

【0061】(第4の実施の形態)続いて、本発明の第4の実施の形態を図6及び図7に基づいて説明する。

【0062】図6は本実施の形態の動きベクトル検出装置におけるプロセッサエレメントの構成を示す。同図において、710は差分絶対値演算器、711は加算器、712は前記差分絶対値演算器710の前段に配置されたレジスタであって、図5の前画像ブロックの画素データを受け、713は前記差分絶対値演算器710の後段に配置されたパイプラインレジスタ(レジスタ)、714は前記加算器711の後段に配置されたパイプラインレジスタ(レジスタ)、715はデータ転送制御回路であって、図5の探索範囲504内の各ブロック505、507の画素データをデータバスRを経て受ける。

【0063】前記各レジスタ712、713、714において、下位4ビットの格納部分では書き込み信号CLK-Aにより、上位ビットの格納部分では他の書き込み信号CLK-Bにより、各々独立に画像データの書き込みが行われる。前記2種の書き込み信号CLK-A、CLK-Bは、図7に示すよ

うに、外部より設定されるモード信号(切換信号)MODEの値("0"、"1")に応じて発生し、一方の書き込み信号CLK-Aは、モード信号MODEが"0"値の場合にのみ発生し、他方の書き込み信号CLK-Bは、モード信号MODEの"0"値及び"1"値の双方で発生する。従って、モード信号MODEが"1"値の場合には、各レジスタ712、713、714の下位4ビットへの書き込みを禁止することができる。尚、各レジスタ712、713、714の下位4ビットは、起動前に"0"値にリセットされる。

10 【0064】また、前記データ転送制御回路715は、前記モード信号MODEにより、下位4ビットを常に固定(通常は"0"値に固定)し、上位4ビットはデータバスRの画像データをそのまま差分絶対値演算器710に転送する。

【0065】以上の構成により、各レジスタ712、713、714の各上位4ビットと下位4ビットとを2種の書き込み信号CLK-A、CLK-Bにより独立して書き込み制御すると共に、前記データ転送制御回路715の上位4ビットと下位4ビットとをモード信号MODEにより独立して転送制御する制限手段30を構成する。

20 【0066】動画像圧縮の規格のMPEG等の自然画像を扱う動き検出においては、下位の数ビットを無視して実行しても、全ビットで実行した場合の精度とほぼ同じ精度が得られ、画質に対する影響は少ない。本実施の形態では、自然画像を扱う動き検出を行う場合には、モード信号MODEにより、レジスタ712~714及びデータ転送制御回路715の各下位4ビットの動作を停止すれば、画像の良好な画質を確保しつつ、消費電力を低減できる。

【0067】尚、本実施の形態では、レジスタ712~714及びデータ転送制御回路715でのビット列の分割方法は、下位4ビットと上位4ビットとに等分割したが、更に分割数を3以上に増すと、一層細かい制御が可能である。

【0068】(第5の実施の形態)最後に、本発明の第5の実施の形態を図8に基づいて説明する。同図(a)は、本実施の形態の動きベクトル検出装置の全体構成を示す。同図(a)は、1つのブロック内の画素数が256個である場合の構成を示し、401はカスケード接続された256個のPE、402及び403は各PE401で行う演算に必要なデータを転送するバスR及びバスS、404は各PE401に動作クロックを供給するクロックライン、405は最終段PE401の出力値が入力される比較手段である。

【0069】本実施の形態では、各PE401の内部構成に特徴を有する。即ち、各PE401の加算手段(図2の加算器111)は、そのビット幅が異なり、後段のPE401の加算器111ほどビット幅が大きい。即ち、各PE401において、加算器111が次段のPEに転送するデータのダイナミックレンジは、後段のPEほど大きく設定される。オーバーフローが無ければ動作は正常であるので、

演算精度は各段のPEで変更することが可能である。画素データを8ビットとした場合の各段(i)の加算器111のダイナミックレンジDは次式、

$$D = \log_2 (255^{(i)}) \quad i = 0, 1, 2, \dots, 255$$

で表現できる。従って、後段のPEに転送するデータの必要最低限のビット幅は、前記値Dを整数に切り上げた値となる。この結果を図8(b)に示す。

【0070】本実施の形態では、8、9、10、11、12、13、14、15及び16ビットの精度で出力する9種類のPEを、図8(a)に示すようにカスケードに接続することにより、実現する。

【0071】前記構成により、従来の構成に比べて、PE内部に備える加算器及びパイプラインレジスタ(図2に示す加算器111及びパイプラインレジスタ114)のビット数を削減できるので、回路規模を低減できると共に、低消費電力化を図ることができる。

【0072】本実施の形態では、従来の動きベクトル検出装置に比べ、図8(b)から判るように、各PE401内の加算器111は約90%、パイプラインレジスタ114は約90%の回路規模で構成可能である。

【0073】尚、以上に説明した各実施の形態は、個々独立に回路規模の縮減効果及び低消費電力効果が得られるので、各実施の形態を任意に組み合わせることができ、この場合には、より一層多くの回路規模の縮減効果及び低消費電力効果が得られる。

【0074】

【発明の効果】以上説明したように、請求項1ないし請求項8記載の発明の動きベクトル検出装置によれば、動画像を高い圧縮効率で圧縮することを確保しつつ、消費電力の低減化と、回路規模を縮小できる効果を奏する。

【0075】具体的には、請求項2記載の発明では、各プロセッサエレメントにおいて、加算手段のビット幅を狭く設定したので、回路規模を小さくできると共に、その回路規模が小さい分、消費電力も低減できる。

【0076】また、請求項3及び請求項4記載の発明では、各プロセッサエレメントにおいて、加算器が設定値を超える加算結果を算出して、最終的に相関性が低いと予測される場合には、以降のプロセッサエレメントでの差分絶対値の無駄な加算処理を停止したので、消費電力を低減できる。

【0077】更に、請求項5及び請求項6記載の発明では、前画像ブロックとの相関性が十分に高いブロックが検出されれば、このブロックに基づいて動きベクトルを検出することとし、それ以上に高い相関性を持つブロックの検出を不要とするので、この時点以降のブロックの差分絶対値の累積加算値の計算を停止して、計算回数を効果的に減少させることができ、低消費電力化を図ることができる。

【0078】加えて、請求項7及び請求項8記載の発明では、切換信号により、各レジスタ及びデータ転送制御

回路の下位ビットの動作を強制的に停止させるので、上位ビットのみを用いた処理での低消費電力化を図ることができる。

【0079】また、請求項9及び請求項10記載の発明では、各プロセッサエレメントの加算手段のビット幅を、後段のプロセッサエレメントの加算手段ほど大きく設定したので、従来のように最終段の加算手段のビット幅を全ての加算手段で採用する場合に比して、回路規模を有効に低減できると共に、回路規模が小さい分、低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の動きベクトル検出装置の全体構成を示す図である。

【図2】同動きベクトル検出装置の構成要素であるプロセッサエレメントの構成を示す図である。

【図3】本発明の第2の実施の形態の動きベクトル検出装置のプロセッサエレメントの構成を示す図である。

【図4】(a)は本発明の第3の実施の形態の動きベクトル検出装置の構成図、(b)は同動きベクトル検出装置の構成要素である比較手段の内部構成を示す図である。

【図5】ブロックマッチング法の説明図である。

【図6】本発明の第4の実施の形態の動きベクトル検出装置のプロセッサエレメントの内部構成を示す図である。

【図7】同動きベクトル検出装置におけるクロック信号の制御の説明を示す図である。

【図8】(a)は本発明の第5の実施の形態の動きベクトル検出装置の全体構成を示す図、(b)は各プロセッサエレメントにおける加算器の必要ビット数を示した特性図である。

【図9】従来の動きベクトル検出装置の構成要素であるプロセッサエレメントの構成を示す図である。

【符号の説明】

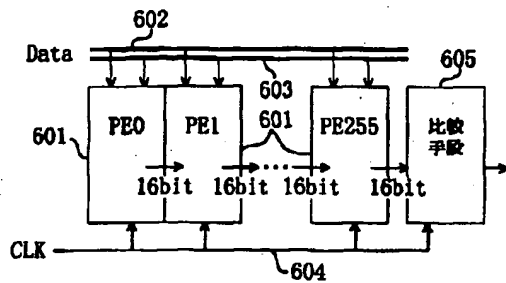
10	処理手段(制限手段)
20	強制停止手段
30	制限手段
110, 210, 610, 710	差分絶対値演算器
111, 211, 611, 711	加算器(加算手段)
112, 212, 612, 712	レジスタ
113, 213, 613, 713	パイプラインレジスタ
114, 214, 614, 714	パイプラインレジスタ
215	オーバーフロー信号
216	OR回路
217	パイプラインレジスタ
218	遷移禁止手段
301, 401, 601	プロセッサエレメント
305, 405, 605	比較手段
310	比較器
311	レジスタ

(10)

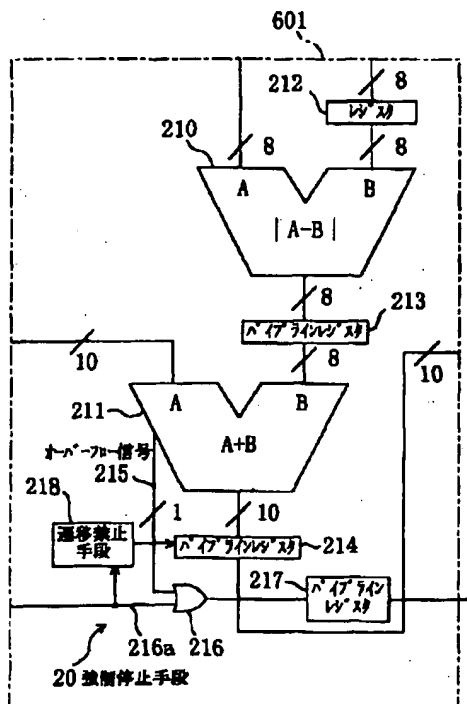
特開平10-257504

312	制御回路	* 504
313	減算器 (信号発生手段)	506
314	設定値レジスタ	715
320	制御回路 (制御手段)	MODE
502	前画像ブロック	* 716

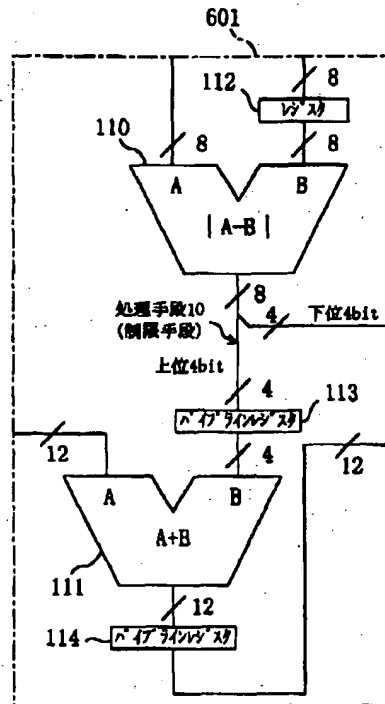
【図1】



【図3】



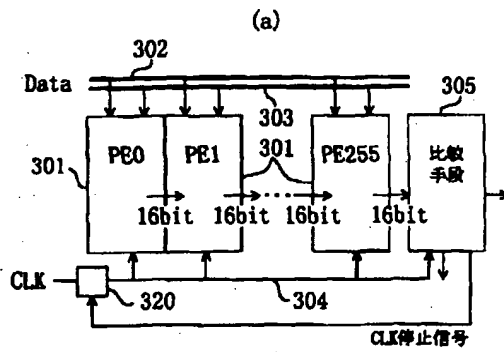
【図2】



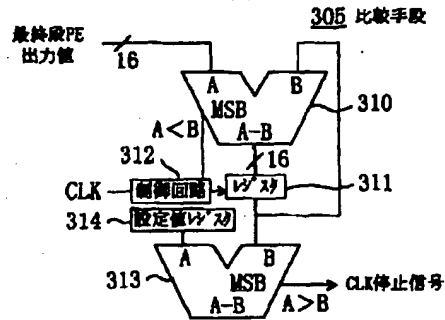
【図7】

	CLK-A	CLK-B
MODE=0		
MODE=1		

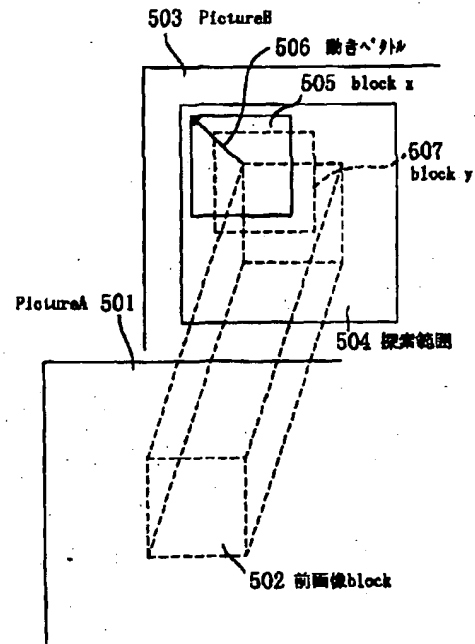
【図4】



(b)

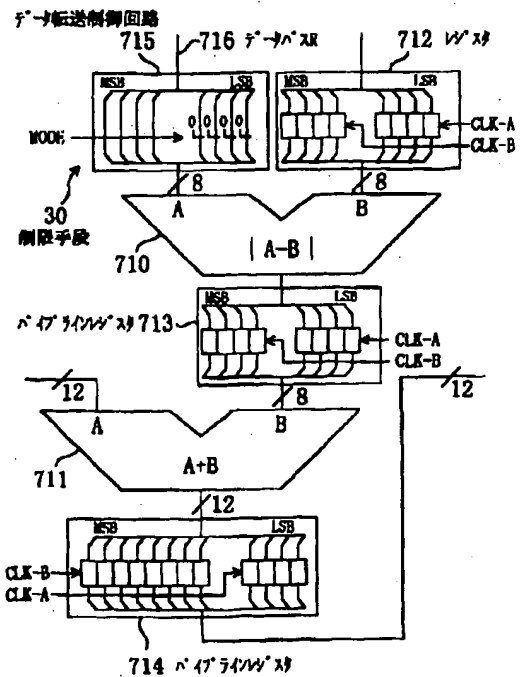


【図5】

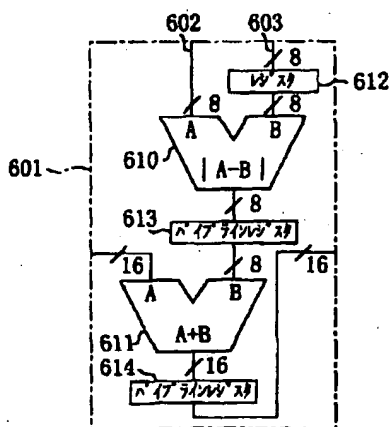


【図6】

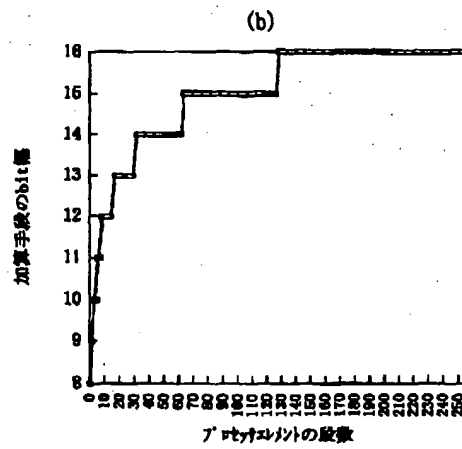
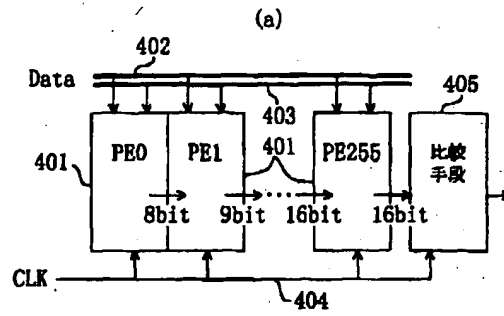
PE



【図9】



【図8】



* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to amelioration of the motion vector detection equipment for detecting the motion vector used for the prediction in the motion compensation prediction which is one of the compression technique of a dynamic image.

[0002]

[Description of the Prior Art] The dynamic-image compression technology which reduces the amount of data is indispensable to the transfer or are recording of a dynamic image which has the huge amount of data. In this dynamic-image compression technology, there is the compression technique called motion compensation prediction. This motion compensation prediction is the technique of lowering the redundancy of the direction of a time-axis which a dynamic image has, and compressing amount of information by extracting the variation rate between images with high functionality. It is common to use the detection technique which the variation rate between images with the high functionality used in this motion compensation is called the motion vector, and is called a block matching method to that detection. Hereafter, said block matching method is briefly explained using drawing 5.

[0003] A block matching method is the approach of carrying out the evaluation judging of the correlation between two images per predetermined block. In drawing 5, when detecting the motion vector to the block 502 on PictureA 501 (front image), an evaluation value is calculated to two or more blocks in the predetermined retrieval image range 504 on PictureB 503. In this count, when the block with which the value with the most sufficient (correlation is the highest) evaluation value was computed is block X 505 of drawing 5, the variation rate from the location which projected the front image block 502 on PictureB 503 to block X505 is detected as a motion vector 506.

[0004] The total value which generally carried out accumulation of the absolute value of the difference of the pixels which correspond spatially about all pixels in both two blocks with the number of the same pixels is used for the evaluation value which shows the height of functionality. therefore, this evaluation value -- small -- there are so few differences during a mutual block that it is ****, that is, it is shown that functionality is high.

[0005] The technique indicated by JP,7-184210,A is known as a conventional motion vector circuit which detects a motion vector with said block matching method. Drawing 1 shows the whole motion vector detection equipment configuration. The number of pixels within one block of this configuration is an example in case 256 pieces and a pixel value are 8-bit values. In this drawing, 601 is the processor element (henceforth PE) by which cascade connection was carried out, and is prepared a same number individual (namely, 256 pieces) with the number of pixels within one block. The clock line where the bus S to which the bus R to which 602 transmits the pixel data of one block in the retrieval range 504, and 603 transmit the pixel data of the front image block 502, and 604 supply a clock of operation to each PE601, and 605 are comparison means to input the output of PE601 of the last stage and to compare a value the last value of the output, and this time.

[0006] Drawing 9 shows the conventional internal configuration of each PE601 in said motion vector detection equipment. the difference of the pixel data with which 610 is transmitted through bus R 602 and bus S 603 in this drawing -- the difference which calculates the absolute value of a value -- an absolute value computing element -- The output value of the absolute value computing element 610 and the output value of PE601 of the preceding paragraph are added. 611 -- said difference -- The adder which outputs the addition result to latter PE601, the register holding the pixel data of a front image block with which 612 is transmitted through bus S 603, 613 -- said difference -- the pipeline register for carrying out the pipeline processing of the operation of the

absolute value computing element 610 and an adder 611 and 614 are the pipeline registers for carrying out the pipeline processing of the operation of the adder 611 of each PE601.

[0007] Next, actuation of said motion vector detection equipment is explained. while the pixel data of the head of the front image block 502 are held at first at the register 612 of PE0 of a stage -- difference -- it is transmitted to the absolute value computing element 610. moreover, the pixel data of the head of one block in the retrieval range 504 (for example, block X 505) -- the difference of said PE0 of a beginning stage -- it is transmitted to the absolute value computing element 610. this difference -- the absolute value computing element 610 -- the difference of said two transmitted pixel data -- an absolute value is calculated and that result is transmitted to a pipeline register 613. an adder 611 -- the difference of said register 613 -- an absolute value -- the latter pipeline register 614 -- transmitting -- this difference -- an absolute value is transmitted to latter PE1.

[0008] Then, while the 2nd pixel data following said head pixel data in the front image block 502 is transmitted to PE1 of the 2nd step, the next pixel data of said block X505 in the retrieval range 504 are transmitted to said PE1 of the 2nd step. the difference of two pixel data transmitted like said PE0 of a beginning stage in this PE1 of the 2nd step -- an absolute value calculates and it is stored in a pipeline register 613. furthermore, the difference of the head pixel data with which the adder 611 was transmitted from PE0 of a stage in this PE1 of the 2nd step at said beginning -- the difference of an absolute value and the 2nd pixel data -- an absolute value is added, and that result is transmitted to latter PE2 while being held at a pipeline register 614.

[0009] the following and the same actuation -- repeating -- PE255 of the last stage -- a pipeline register 614 -- the difference of all the pixels between the front image block 502 and block X 505 of the retrieval range 504 -- the total value of an absolute value is acquired.

[0010] The above actuation is repeatedly performed one by one about all blocks (other one block Y 507 were illustrated in drawing 5) included in the retrieval range 504.

[0011] the difference to which PE601 of the last stage outputted the comparison means 605 -- the total value of an absolute value is received, and the total value in the last block (for example, block x 505) is compared with the total value in this block (for example, block Y 507 of drawing 5), among those the total value of a small value is chosen. all blocks in the retrieval range 504 -- difference -- after the total value of an absolute value calculates and that size comparison is completed, the minimum total value will be acquired by the comparison means 605, and the variation rate to the front image block 502 of the block with this minimum value will be outputted to it as a motion vector.

[0012]

[Problem(s) to be Solved by the Invention] However, said conventional motion vector detection equipment takes huge data processing, and while having the fault from which power consumption turns into large power, a circuit scale also has a huge fault. Hereafter, faults, such as this, are explained to a detail.

[0013] That is, in the case of a standard television dynamic image, pictureA 501 shown in drawing 5 is 1 picture of the dynamic images which display 30 picture(s) in 1 second, and the magnitude is 720 pixel x480 line.

Moreover, the number of the block with which the magnitude of the front image block 502 in drawing 5 has standard 16 pixel x16 line with a block, therefore exists in the retrieval range 504 in the motion vector detection used for the motion compensation prediction in dynamic-image compression becomes 1024 pieces. In the case of the above numeric value, the number of a block which performs block matching is 40,500 in 1 second.

Individual ($= 720 \times 480 \times 30 / 16 / 16$) existence will be recognized. moreover -- block matching performed for every block -- the difference of 262,114 ($= 1,024 \times 16 \times 16$) times -- it is necessary to perform the operation and total operation of an absolute value for this reason -- for detecting a motion vector with said block matching method -- for 1 second -- a 10,616,832,000 ($= 40500 \times 262114$) time thing -- huge difference -- the operation and total data processing of an absolute value are needed. Therefore, power consumption becomes large power.

[0014] moreover, the difference of each of said pixel -- for performing add operations (total), such as an operation of an absolute value, and it, with a sufficient precision -- the difference in each PE -- it is the thing of extensive bit width of face, and it is necessary to constitute an absolute value computing element, an adder, a pipeline register, etc. Furthermore, no less than 256 pieces need to be equipped with PE which has this etc. inside. Consequently, a circuit scale becomes huge.

[0015] It is in this invention solving said trouble, and the purpose making a circuit scale small in motion vector detection equipment, and detecting a motion vector with a low power.

[0016]

[Means for Solving the Problem] In order to attain the above purpose, the following point was noted in this

invention. That is, in motion compensation prediction, the redundancy between images is lowered effectively and a motion vector can compress a dynamic image with high compression efficiency, if said functionality is the variation rate of a block high enough even if functionality with a front image block is not the variation rate of the highest block.

[0017] Therefore, to the 1st, on the occasion of count of the evaluation value about two or more blocks of retrieval within the limits, even if it is not the best evaluation value A configuration from which the evaluation value according to this evaluation value is acquired, i.e., the bit width of face which an evaluation value has [adder / the configuration whose precision (resolving power) may be low, then / in each PE] in extent which shows the height of functionality, can be restricted small, and that part and a circuit scale are small made to a low power.

[0018] In the total count which carries out sequential addition of the absolute value PE of the 2nd plurality -- using it -- the difference of each pixel -- The set point (threshold value) is beforehand set up as an addition result of the adder of each PE. the case where it can be predicted that functionality is low when the addition result exceeding this set point is computed, namely, even if it finally acquires a total value -- the difference of PE after this -- power consumption can be reduced if useless addition processing of an absolute value is suspended.

[0019] If the block with functionality high enough with a front image block is detected by the 3rd, it will be unnecessary, therefore count of the evaluation value after this time can be suspended, that part and the count of count will decrease, and detection of the block with higher functionality than it will become a low power.

[0020] moreover -- conventional motion vector detection equipment -- each -- the difference from which the adder 611 of PE0-PE255 is altogether obtained by PE255 (601) of the last stage -- it has the bit width of face which can express the maximum of the total value of an absolute value. however, the value from which each adder 611 was obtained with the adder 611 of PE of the preceding paragraph, i.e., the difference of each already computed pixel, -- the difference computed by the total value of an absolute value by PE of a self-stage -- since an absolute value is added, the maximum which computes the adder of latter PE is large, and the bit width of face which needs the adder of PE of the preceding paragraph is small, and ends. Therefore, a circuit scale can be made small, if the adder of PE of the preceding paragraph is the small ** thing of bit width of face and is constituted.

[0021] From the above viewpoint, the motion vector detection equipment of invention according to claim 1 It is motion vector detection equipment which detects correlation with the image which consists of two or more pixels, and two or more blocks which have the pixel of said image, and the pixel of the same number by predetermined retrieval image within the limits which contains many pixels rather than the number of said pixels. The processor element of the plurality which performs calculating the absolute value of the difference of the corresponding data of pixels of said image and one block, and carrying out accumulation of the absolute value of the difference of each pixel about sequential aforementioned each block by which cascade connection was carried out, the difference of each block acquired by the processor element of the last stage -- subtraction comparing the accumulation values of an absolute value and choosing the accumulation value of a small value with the comparison means to repeat the difference which restricts one [at least] operation of said two or more processor elements and said comparison means, and is finally obtained with said comparison means -- although the accumulation value of an absolute value is not the minimum value, it is characterized by having a limit means to give possibility of fully becoming the accumulation value of a small value.

[0022] Invention according to claim 2 is set to said motion vector detection equipment according to claim 1. Moreover, said each processor element While calculating the difference of the corresponding data of pixels of said image and one block the difference -- the absolute value of a value -- calculating -- the difference of the predetermined number of bits -- the difference which obtains an absolute value -- with an absolute value operation means An absolute value and the output of the processor element of the preceding paragraph are added. said difference -- the difference obtained by the absolute value operation means -- an addition means to transmit the addition result to the processor element of the next step -- having -- said limit means -- said difference -- the difference obtained with the absolute value operation means -- the predetermined bit of the low order of an absolute value -- a cut-off -- or -- rounding off -- processing -- the difference of a high order bit -- it is characterized by consisting of a processing means to obtain an absolute value.

[0023] Invention according to claim 3 is set to said motion vector detection equipment according to claim 1. Furthermore, said each processor element While calculating the difference of the corresponding data of pixels

of said image and one block the difference -- the absolute value of a value -- calculating -- difference -- the difference which obtains an absolute value -- with an absolute value operation means An absolute value and the output of the processor element of the preceding paragraph are added. said difference -- the difference obtained by the absolute value operation means -- It has an addition means to transmit the addition result to the processor element of the next step. Said addition means It consists of computing elements with small bit width of face. Said limit means the time of calculating a large value rather than the maximum which said computing element which constitutes said addition means, and said computing element can express by said bit width of face -- the difference after a latter processor element -- it is characterized by consisting of a forcible stop means to stop the accumulation of an absolute value compulsorily.

[0024] Invention according to claim 4 is set to said motion vector detection equipment according to claim 3. In addition, the computing element with said small bit width of face It is constituted by the computing element which outputs an overflow signal when a large value is calculated rather than the maximum which can be expressed by said bit width of face. Said forcible stop means While the addition result of said addition means is disregarded in response to the overflow signal of said computing element of the processor element of the preceding paragraph, it is characterized by transmitting said overflow signal of the processor element of a self-stage and the preceding paragraph to the processor element of the next step.

[0025] Furthermore, in addition, in said motion vector detection equipment according to claim 1, invention according to claim 5 is characterized by stopping actuation of the whole motion vector detection equipment, when the accumulation value of said small value is said under set point as compared with the set point about the accumulation value of the small value as which said limit means was chosen by said comparison means.

[0026] Moreover, it is characterized by invention according to claim 6 having a signal generation means by which said limit means generates a stop signal when the accumulation value of said small value is said under set point, and the control means which cuts off supply of the clock signal to said each processor element and said comparison means when said signal generation means generates a stop signal in said motion vector detection equipment according to claim 5.

[0027] Furthermore, invention according to claim 7 is set to said motion vector detection equipment according to claim 1. Two or more registers which it has in said each processor element, and store data, It has the data transfer control circuit arranged in the data bus which transmits two or more pixel data which constitute one block to said each processor element. Said limit means It is characterized by dividing each bit string of said two or more registers and said data transfer control circuit into two or more continuous bit strings, writing in independently according to each of that divided bit string, and performing control or transfer control.

[0028] In addition, invention according to claim 8 is characterized by said limit means being what generates a change-over signal and suspends supply of said two or more registers and the clock signal to the low order predetermined bit string of each bit string of said data transfer control circuit with this change-over signal in said motion vector detection equipment according to claim 7.

[0029] Furthermore, in addition, the motion vector detection equipment of invention according to claim 9 It is motion vector detection equipment which detects correlation with the image which consists of two or more pixels, and two or more blocks which have the pixel of said image, and the pixel of the same number by predetermined retrieval image within the limits which contains many pixels rather than the number of said pixels. The absolute value of the difference of the corresponding data of pixels of said image and one block is calculated. It has the processor element of the plurality which performs carrying out accumulation of the absolute value of the difference of each pixel about sequential aforementioned each block by which cascade connection was carried out. Said each processor element While calculating the difference of the corresponding data of pixels of said image and one block the difference -- the absolute value of a value -- calculating -- difference -- the difference which obtains an absolute value -- with an absolute value operation means An absolute value and the output of the processor element of the preceding paragraph are added. said difference -- the difference obtained by the absolute value operation means -- It has an addition means to transmit the addition result to the processor element of the next step, and the addition means of each of said processor element is characterized for an addition means of a processor element by which it is located in the latter part by bit width of face being large.

[0030] Moreover, invention according to claim 10 is characterized by the addition means of each of said processor element having the necessary minimum bit width of face which does not produce overflow in said motion vector detection equipment according to claim 9.

[0031] By the above configuration, since at least one side of subtraction processing with two or more operations and comparison means in a processor element is restricted by the limit means, while power consumption decreases, a circuit scale can consist of small a claim 1 thru/or invention according to claim 8. the difference finally obtained with a comparison means in that case -- when the accumulation value of an absolute value is a value near the minimum value, even if it detects a motion vector for the block of this near value as a block of functionality high enough, the redundancy between images can be lowered effectively and it is possible to compress a dynamic image with high compression efficiency.

[0032] Since the bit width of face of an addition means is especially set up narrowly in each processor element by invention according to claim 2, a circuit scale is small. Furthermore, a part with the small circuit scale and power consumption are also reduced.

[0033] moreover -- the case where it is predicted that functionality is low when the addition result to which an adder exceeds the set point is computed in each processor element in claim 3 and invention according to claim 4, namely, even if it continues subsequent addition results and finally acquires a total value -- the difference in subsequent processor elements -- since useless addition processing of an absolute value is suspended, power consumption will be reduced.

[0034] furthermore -- if the block with functionality high enough with a front image block is detected in claim 5 and invention according to claim 6, since it will suppose that a motion vector is detected based on this block and detection of the block with higher functionality than it will be made unnecessary -- the difference of the block after this time -- count of the accumulation value of an absolute value is suspended and the count of count becomes the part and low power which decrease effectively.

[0035] In addition, since actuation of the lower bit of each register and a data transfer control circuit is compulsorily stopped with a change-over signal in claim 7 and invention according to claim 8, both processings with the processing from which the expected precision using all bits is acquired, and the processing to which precision fell only using the high order bit can be realized, and low-power-ization is attained in the processing only using a high order bit.

[0036] Moreover, in claim 9 and invention according to claim 10, it becomes a part with a small circuit scale, and a low power while it can reduce a circuit scale effectively as compared with the case where the bit width of face of the addition means of the last stage is adopted with all addition means like before, since the bit width of face of the addition means of each processor element is more greatly set up by the addition means of a latter processor element.

[0037]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained using a drawing.

[0038] (Gestalt of the 1st operation) Drawing 1 and drawing 2 show the motion vector detection equipment of the gestalt of operation of the 1st of this invention, and drawing 1 shows the whole configuration. Since the whole motion vector detection equipment configuration was mentioned already, the internal configuration of the processor element (it abbreviates to PE hereafter) which is the component is hereafter explained based on drawing 2.

[0039] drawing 2 -- setting -- 110 -- difference -- the absolute value of a value -- calculating -- the difference of 8-bit width of face -- the difference which obtains an absolute value -- an absolute value computing element and 111 -- an adder (addition means) and 112 -- said difference -- it is the register connected to the battery terminal of the absolute value computing element 110, and the pixel data of the front image block 502 of drawing 5 are inputted. 113 -- said difference -- the pipeline register arranged at the output side of the absolute value computing element 110 and 114 are pipeline registers arranged at the output side of said adder 111.

[0040] PE601 of the gestalt of this operation -- difference -- the difference of the 8-bit width of face calculated with the absolute value computing element 110 -- only 4 bits of high orders should pass a pipeline register 113 among absolute values -- it is inputted into an adder 111. Therefore, said adder 111 and two pipeline registers 113 and 114 are the things of 4-bit width of face, and are constituted.

[0041] said difference -- the difference of the absolute value computing element 110 -- the configuration which inputs only 4 bits of high orders into an adder 111 among absolute values -- difference -- the difference of the absolute value computing element 110 -- 4 bits of low order of an absolute value -- omitting -- processing -- the difference of 4 bits of high orders -- a processing means 10 to acquire an operation value is constituted.

Moreover, this processing means 10 constitutes a limit means to restrict the operation in the adder 111 of the

processor element PE.

[0042] Hereafter, actuation of the motion vector detection equipment of the gestalt of this operation is explained. the absolute value of the difference of the pixel in the front image block 502 held at the register 112, and a this pixel and the pixel in block X 505 corresponding to a space target -- an absolute value -- difference -- it calculates with a computing element 110 -- having -- that calculated difference -- 4 bits of high orders of an absolute value are held at a pipeline register 113. and the difference held at the pipeline register 113 -- an absolute value and the output (namely, already calculated difference total value of an absolute value) of the adder 111 of PE of the preceding paragraph are added with the adder 111 of PE of a self-stage, and the addition result is stored in a pipeline register 114.

[0043] here -- each PE -- difference -- the difference obtained with the absolute value computing element 110 -- since 4 bits of low order of an absolute value are thrown away -- difference -- the difference of the absolute value computing element 110 -- the value which did the division holds an absolute value to a pipeline register 113 by "16" -- having -- the difference of 4 bits of this high order -- an absolute value is given to an adder 111. consequently, with the motion vector detection equipment of the gestalt of this operation PE of the last stage -- the difference of each pixel -- an absolute value, since the total value of the value which did the division is outputted by "16" Although precision (resolution) is low as compared with the former, since that total value is an index value which fully shows the height of functionality, even if it uses for motion compensation prediction the motion vector obtained based on this total value, compressibility high enough is obtained.

[0044] And with the gestalt of this operation, since an adder 111 and the bit width of face of pipeline registers 113 and 114 are as narrow as 4 bits to conventional 8 bits, a circuit scale is small. Furthermore, a part with a small circuit scale and power consumption also become small.

[0045] Concretely, an adder 111 can be constituted and a pipeline register 113 can constitute a pipeline register 114 from a gestalt of this operation on a scale of 75% of circuit 75% 50% compared with conventional motion vector detection equipment.

[0046] in addition -- the gestalt of this operation -- difference -- although 4 bits of low order of the output of the absolute value computing element 110 were omitted -- difference -- even if it is the case where perform rounding-off processing of rounding off etc. to the predetermined bit eye of the output of the absolute value computing element 110, and bit width of face is reduced, of course, the same effectiveness is acquired

[0047] (Gestalt of the 2nd operation) Next, the gestalt of operation of the 2nd of this invention is explained based on drawing 3 . Since the whole motion vector detection equipment configuration is the same as that of drawing 1 , the explanation is omitted.

[0048] Drawing 3 shows the internal configuration of PE. this drawing -- setting -- 210 -- difference -- as for an adder and 212, a register, and 213 and 214 are [an absolute value computing element and 211] pipeline registers. Although the conventional adder 611 shown in drawing 9 is the thing of 16-bit width of face and it is constituted, the adder 211 is constituted from the gestalt of this operation by a computing element with small bit width of face, for example, the computing element of 10-bit width of face.

[0049] When said adder 211 calculates a bigger value than the maximum (threshold value) which can be expressed by said 10-bit width of face, it outputs the overflow signal 215. OR circuit 216 receives the output signal of PE (not shown) of the preceding paragraph through signal-line way 216a, and takes the OR of both this signal while it receives the overflow signal 215 from said adder 211. The output of said OR circuit 216 is outputted to the OR circuit of PE (not shown) of the next step through a pipeline register 217. The transition prohibition means 218 forbids transition of the data of the pipeline register 214 located in the latter part of said adder 211 in response to the overflow signal 215 from said adder 211.

[0050] When the adder 211 of which PE calculates a bigger value than said threshold value When the transition prohibition means 218 of PE of the next step forbids transition of the data of the pipeline register 214 of PE of a self-stage based on said overflow signal 215 the addition result of the adder 211 of a self-stage -- ignoring -- the difference after PE of the next step, while stopping the accumulation of an absolute value compulsorily A forcible stop means 20 to transmit the overflow signal from PE of a self-stage and the preceding paragraph to latter PE through said OR circuit 216 and pipeline register 217 is constituted.

[0051] Hereafter, actuation of the motion vector detection equipment of the gestalt of this operation is explained. An adder 211 outputs the overflow signal 215, when the count result becomes beyond a threshold value (maximum which can be expressed by 10 bits). OR circuit 216 takes the OR of the overflow signal 215 from said adder 211, and the overflow signal from PE of the preceding paragraph, and transmits the result to

latter PE through a pipeline register 217. In each PE, when the overflow signal 215 is transmitted from PE of the preceding paragraph, it forbids by halt of the transition prohibition means' 218 supply of transition of the data in a pipeline register 214 of a clock signal etc. Consequently, when the value beyond a threshold value is calculated, the total count after it is suspended. Therefore, low-power-ization can be attained. the block (for example, block Y 507 grade of drawing 5) with which it remains in the retrieval range 504 next time -- receiving -- difference -- since count of the total value of an absolute value is performed and the total value of which [that] block turns into the minimum value, the variation rate of the block with the total value of this minimum value and a front image block will be detected as a motion vector.

[0052] In addition, when total count stops based on the overflow signal 215, the evaluation value outputted from PE of the last stage turns into an indeterminate value. However, the overflow signal 215 is inputted into the comparison means 605, and if it constitutes so that the evaluation value of the indeterminate may be excepted from the candidate for a comparison, it can prevent judging the evaluation value of the indeterminate to be the minimum evaluation value accidentally.

[0053] When bit width of face of an adder 211 is made into 10 bits, compared with conventional motion vector detection equipment, an adder 211 can constitute a pipeline register 214 from a gestalt of this operation on a scale of 62.5% of circuit 62.5%.

[0054] In addition, with the gestalt of this operation, in each PE, with the overflow signal 215 of PE of the preceding paragraph, although the data transition by the pipeline register 214 of PE of a self-stage was forbidden If transition of the data in the pipeline register 213 of PE of a self-stage is forbidden with the overflow signal 215 of PE of a beforehand stage in addition to this configuration Transition of addition actuation of the adder 211 which is performing unnecessary count by PE after a self-stage, and the data in a pipeline register 213 can also be forbidden. furthermore -- in addition, the overflow signal 215 of PE of beforehand **** -- the difference of a self-stage -- the difference which is performing unnecessary count by PE after a self-stage if transition of the signal inputted into the generator terminal of the absolute value computing element 210 is forbidden -- it is possible to be also able to forbid transition of the absolute value computing element 210, and for it to be further alike, and to attain low-power-ization.

[0055] (Gestalt of the 3rd operation) Then, the motion vector detection equipment of the gestalt of operation of the 3rd of this invention is explained based on drawing 4 .

[0056] Drawing 4 (a) shows the whole motion vector detection equipment configuration of the gestalt of this operation. This drawing (a) shows a configuration in case the number of pixels within one block is 256 pieces, and 301 is two or more PE by which cascade connection was carried out, and recognizes same number individual (namely, 256 pieces) existence of it with the number of pixels within a block. The clock line where Bus R and Bus S, and 304 which transmit the pixel data which need 302 and 303 for the operation performed by each PE301 supply a clock of operation to each PE301, and 305 are comparison means by which the output value of PE301 of the last stage is inputted.

[0057] With the gestalt of this operation, it has the description in the configuration of said comparison means 305 and the clock line 304. The internal configuration of said comparison means 305 is shown in drawing 4 (b). In the comparison means 305 of this drawing (b), a comparator 310 compares the output value A of PE301 of the last stage with the retention data B of a register 311 by subtraction, and when the subtraction result (A-B) is a negative value, it rewrites the contents held to a register 311 to the output value A of PE301 of said last stage. Write-in control of this register 311 is performed by the control circuit 312. Said control circuit 312 is written in based on MSB (Most Significant Bit) of the output of said comparator 310, and the clock signal supplied from the clock line 304, generates a control signal, and outputs this control signal to a register 311.

[0058] moreover, the difference from which 313 is obtained with a subtractor and 314 is obtained by PE301 of the last stage -- it is the set point register which stores the set point beforehand determined as an accumulation value of an absolute value. Said subtractor 313 subtracts the accumulation value of the small value actually acquired by PE301 of the last stage stored in said register 311 from the set point stored in said set point register 314, and when the actually acquired accumulation value is said under set point, it outputs MSB (Most Significant Bit) of said subtraction result as a clock stop signal (stop signal). Said subtractor 313 functions as a signal generating circuit.

[0059] In drawing 4 (a), a control circuit (control means) 320 is arranged in the clock line 304. This control circuit 320 suspends supply of a clock signal on the clock line 304 in response to the clock stop signal from said subtractor 313. Therefore, at the time of generating of said clock stop signal, in each PE301 list, the comparator

310 and register 311 of the comparison means 305 do not receive a clock signal, but suspend the actuation. In addition, unlike the gestalt of this operation, the configuration which stops the pixel data transfer to each PE may be adopted with the stop signal of a subtractor 313. By said subtractor 313 and control circuit 320, when the value (namely, accumulation value of the small value actually acquired by PE301 of the last stage) stored in the register 311 is said under set point, a limit means to stop actuation of the whole motion vector detection equipment is constituted.

[0060] Therefore, with the gestalt of this operation, if the accumulation value actually acquired by PE301 of the last stage is said under set point, actuation of the whole equipment after it is stopped and a motion vector can be detected as a block which has functionality of enough with a front image block in the block with the accumulation value of under said set point. that is, the difference about the block with which it will remain in the retrieval range 504 if a front image block and the block with functionality of enough are acquired with the gestalt of this operation -- since calculation of the accumulation value of an absolute value can be stopped -- the former -- like -- all blocks in the retrieval range 504 -- always -- difference -- low-power-ization can be attained as compared with the case where the accumulation value of an absolute value is computed.

[0061] (Gestalt of the 4th operation) Then, the gestalt of operation of the 4th of this invention is explained based on drawing 6 and drawing 7.

[0062] Drawing 6 shows the configuration of the processor element in the motion vector detection equipment of the gestalt of this operation. this drawing -- setting -- 710 -- difference -- an absolute value computing element and 711 -- an adder and 712 -- said difference -- it is the register arranged at the preceding paragraph of the absolute value computing element 710, and the pixel data of the front image block of drawing 5 are received. 713 -- said difference -- the pipeline register (register) arranged in the latter part of the absolute value computing element 710, the pipeline register (register) by which 714 has been arranged in the latter part of said adder 711, and 715 are data transfer control circuits, and pass a data bus R in the pixel data of each blocks 505 and 507 in the retrieval range 504 of drawing 5 -- popularity is won.

[0063] In said each registers 712, 713, and 714, by the storing part of 4 bits of low order, it writes in and the writing of image data is respectively performed independently by signal CLK-A by other write-in signal CLK-B in the storing part of a high order bit. Said two sorts of write-in signal CLK-A and CLK-B <A To
HREF="/Tokujitu/tjitemdrw.ipdl?N0000=237&N0500=1 E_N/;>?=8:?:///&N0001=943&N0552=9&N 0553=000009" TARGET="tjitemdrw"> drawing 7 According to the value ("0" "1") of mode signal (change-over signal) MODE set up from the exterior, it generates so that it may be shown. One write-in signal CLK-A It generates, only when mode signal MODE is "0" values, and write-in signal CLK-B of another side is generated on the both sides of "0" value and "1" value of mode signal MODE. Therefore, when mode signal MODE is "1" value, 4 bits [of low order of each registers 712, 713, and 714] writing can be forbidden. In addition, 4 bits of low order of each registers 712, 713, and 714 are reset by "0" values before starting.

[0064] moreover, said data transfer control circuit 715 -- said mode signal MODE -- 4 bits of low order -- always -- immobilization (it usually fixes to "0" values) -- carrying out -- 4 bits of high orders -- the image data of a data bus R -- as it is -- difference -- it transmits to the absolute value computing element 710.

[0065] While writing in independently 4 bits of each high order and 4 bits of low order of each registers 712, 713, and 714 by two sorts of write-in signal CLK-A, and CLK-B and controlling it by the above configuration, the limit means 30 which carries out independently transfer control of 4 bits of high orders and 4 bits of low order of said data transfer control circuit 715 by mode signal MODE is constituted.

[0066] In the motion detection treating natural images, such as MPEG of the specification of dynamic-image compression, even if it disregards and performs several bits of low order, the almost same precision as the precision at the time of performing in all bits is acquired, and there is little effect to image quality. Power consumption can be reduced with the gestalt of this operation, securing the good image quality of an image, if actuation of 4 bits of each low order of registers 712-714 and the data transfer control circuit 715 is suspended by mode signal MODE, in performing motion detection treating a natural image.

[0067] In addition, although the division-into-equal-parts rate of the division approach of the bit string in registers 712-714 and the data transfer control circuit 715 was carried out to 4 bits of low order, and 4 bits of high orders with the gestalt of this operation, if the number of partitions is further increased or more to three, still finer control is possible.

[0068] (Gestalt of the 5th operation) The gestalt of operation of the 5th of this invention is explained to the last based on drawing 8. This drawing (a) shows the whole motion vector detection equipment configuration of the

gestalt of this operation. The clock line where Bus R and Bus S, and 404 which transmit 256 PE to which this drawing (a) showed the configuration in case the number of pixels within one block is 256 pieces to, and cascade connection of 401 was carried out, and the data which need 402 and 403 for the operation performed by each PE401 supply a clock of operation to each PE401, and 405 are comparison means by which the output value of the last stage PE 401 is inputted.

[0069] With the gestalt of this operation, it has the description in the internal configuration of each PE401. That is, the bit width of face differs and the addition means (adder 111 of drawing 2) of each PE401 has large bit width of face about 111 adder of latter PE401. That is, in each PE401, the dynamic range of the data which an adder 111 transmits to PE of the next step is greatly set up by more nearly latter PE. Since actuation is normal if there is no overflow, operation precision can be changed by PE of each stage. The dynamic range D of the adder 111 of each stage (i) at the time of making pixel data into 8 bits is degree type and $D = \log_2 (255 (i+1))$. It can express by $i = 0, 1 \text{ and } 2, \dots, 255$. Therefore, the necessary minimum bit width of face of the data transmitted to latter PE serves as a value which revalued said value D for the integer. This result is shown in drawing 8 (b).

[0070] With the gestalt of this operation, nine kinds of PE outputted in 8, 9, 10, 11, 12, 13, 14, 15, and the precision of 16 bits is realized by connecting with a cascade, as shown in drawing 8 (a).

[0071] Low-power-ization can be attained while being able to reduce a circuit scale, since the number of bits of the adder with which the interior of PE is equipped, and a pipeline register (the adder 111 shown in drawing 2 and pipeline register 114) is reducible with said configuration compared with the conventional configuration.

[0072] Compared with conventional motion vector detection equipment, the adder 111 in each PE401 can constitute a pipeline register 114 from a gestalt of this operation on a scale of about 90% of circuit about 90% so that drawing 8 (b) may show.

[0073] In addition, since the curtailment effectiveness and the low-power effectiveness of a circuit scale are acquired by individual independence, the gestalt of each operation explained above can combine the gestalt of each operation with arbitration, and in this case more much more much the curtailment effectiveness and the low-power effectiveness of a circuit scale are acquired.

[0074]

[Effect of the Invention] Reduction-izing of power consumption and the effectiveness which can reduce a circuit scale are done so, securing compressing a dynamic image with high compression efficiency according to claim 1 thru/or the motion vector detection equipment of invention according to claim 8, as explained above.

[0075] By invention according to claim 2, in each processor element, since the bit width of face of an addition means was set up narrowly, while being able to make a circuit scale small, specifically, a part with the small circuit scale and power consumption can also be reduced.

[0076] moreover -- the case where compute the addition result to which an adder exceeds the set point in each processor element in claim 3 and invention according to claim 4, and it is finally predicted that functionality is low -- the difference in subsequent processor elements -- since useless addition processing of an absolute value was suspended, power consumption can be reduced.

[0077] furthermore, in claim 5 and invention according to claim 6 If the block with functionality high enough with a front image block is detected, since it will suppose that a motion vector is detected based on this block and detection of the block with higher functionality than it will be made unnecessary the difference of the block after this time -- count of the accumulation value of an absolute value can be suspended, the count of count can be decreased effectively, and low-power-ization can be attained.

[0078] In addition, in claim 7 and invention according to claim 8, with a change-over signal, since actuation of the lower bit of each register and a data transfer control circuit is stopped compulsorily, low-power-ization by the processing only using a high order bit can be attained.

[0079] Moreover, in claim 9 and invention according to claim 10, since the addition means of a latter processor element set up more greatly the bit width of face of the addition means of each processor element, while being able to reduce a circuit scale effectively as compared with the case where the bit width of face of the addition means of the last stage is adopted with all addition means like before, a part with a small circuit scale and low-power-ization can be attained.

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the whole motion vector detection equipment configuration of the 1st of the gestalt of operation of this invention.

[Drawing 2] It is drawing showing the configuration of the processor element which is the component of this motion vector detection equipment.

[Drawing 3] It is drawing showing the configuration of the 2nd of the processor element of the motion vector detection equipment of the gestalt of operation of this invention.

[Drawing 4] (a) is drawing showing the internal configuration of a comparison means by which are the block diagram of the motion vector detection equipment of the gestalt of operation of the 3rd of this invention, and (b) is the component of this motion vector detection equipment.

[Drawing 5] It is the explanatory view of a block matching method.

[Drawing 6] It is drawing showing the internal configuration of the processor element of the motion vector detection equipment of the gestalt of operation of the 4th of this invention.

[Drawing 7] It is drawing showing explanation of control of the clock signal in this motion vector detection equipment.

[Drawing 8] Drawing in which (a) shows the whole motion vector detection equipment configuration of the 5th of the gestalt of operation of this invention, and (b) are the property Figs. having shown the need number of bits of the adder in each processor element.

[Drawing 9] It is drawing showing the configuration of the processor element which is the component of conventional motion vector detection equipment.

[Description of Notations]

10 Processing Means (Limit Means)

20 Forcible Stop Means

30 Limit Means

110,210,610,710 difference -- absolute value computing element

111,211,611,711 Adder (addition means)

112,212,612,712 Register

113,213,613,713 Pipeline register

114,214,614,714 Pipeline register

215 Overflow Signal

216 OR Circuit

217 Pipeline Register

218 Transition Prohibition Means

301,401,601 Processor element

305,405,605 Comparison means

310 Comparator

311 Register

312 Control Circuit

313 Subtractor (Signal Generation Means)

314 Set Point Register

320 Control Circuit (Control Means)

502 Front Image Block

504 Retrieval Range
506 Motion Vector
715 Data Transfer Control Circuit
MODE Mode signal (change-over signal)
716 Data Bus

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is motion vector detection equipment which detects correlation with the image which consists of two or more pixels, and two or more blocks which have the pixel of said image, and the pixel of the same number by predetermined retrieval image within the limits which contains many pixels rather than the number of said pixels. The processor element of the plurality which performs calculating the absolute value of the difference of the corresponding data of pixels of said image and one block, and carrying out accumulation of the absolute value of the difference of each pixel about sequential aforementioned each block by which cascade connection was carried out, the difference of each block acquired by the processor element of the last stage -- subtraction comparing the accumulation values of an absolute value and choosing the accumulation value of a small value with the comparison means to repeat One [at least] operation of said two or more processor elements and said comparison means is restricted. the difference finally obtained with said comparison means -- the motion vector detection equipment characterized by having a limit means to give possibility of fully becoming the accumulation value of a small value although the accumulation value of an absolute value is not the minimum value.

[Claim 2] While said each processor element calculates the difference of the corresponding data of pixels of said image and one block the difference -- the absolute value of a value -- calculating -- the difference of the predetermined number of bits -- the difference which obtains an absolute value -- with an absolute value operation means An absolute value and the output of the processor element of the preceding paragraph are added. said difference -- the difference obtained by the absolute value operation means -- It has an addition means to transmit the addition result to the processor element of the next step. Said limit means said difference -- the difference obtained with the absolute value operation means -- the predetermined bit of the low order of an absolute value -- a cut-off -- or -- rounding off -- processing -- the difference of a high order bit -- the motion vector detection equipment according to claim 1 characterized by consisting of a processing means to obtain an absolute value.

[Claim 3] While said each processor element calculates the difference of the corresponding data of pixels of said image and one block the difference -- the absolute value of a value -- calculating -- difference -- the difference which obtains an absolute value -- with an absolute value operation means An absolute value and the output of the processor element of the preceding paragraph are added. said difference -- the difference obtained by the absolute value operation means -- It has an addition means to transmit the addition result to the processor element of the next step. Said addition means It consists of computing elements with small bit width of face. Said limit means Said computing element which constitutes said addition means, the time of calculating a large value rather than the maximum which said computing element can express by said bit width of face -- the difference after a latter processor element -- the motion vector detection equipment according to claim 1 characterized by consisting of a forcible stop means to stop the accumulation of an absolute value compulsorily.

[Claim 4] The computing element with said small bit width of face is constituted by the computing element which outputs an overflow signal when a large value is calculated rather than the maximum which can be expressed by said bit width of face. Said forcible stop means While the addition result of said addition means is disregarded in response to the overflow signal of said computing element of the processor element of the preceding paragraph Motion vector detection equipment according to claim 3 characterized by transmitting said overflow signal of the processor element of a self-stage and the preceding paragraph to the processor element of the next step.

[Claim 5] Said limit means is motion vector detection equipment according to claim 1 characterized by stopping actuation of the whole motion vector detection equipment when the accumulation value of said small value is said under set point about the accumulation value of the small value chosen by said comparison means as compared with the set point.

[Claim 6] Said limit means is motion vector detection equipment according to claim 5 characterized by having a signal generation means to generate a stop signal when the accumulation value of said small value is said under set point, and the control means which cuts off supply of the clock signal to said each processor element and said comparison means when said signal generation means generates a stop signal.

[Claim 7] Two or more registers which it has in said each processor element, and store data, It has the data transfer control circuit arranged in the data bus which transmits two or more pixel data which constitute one block to said each processor element. Said limit means Motion vector detection equipment according to claim 1 characterized by dividing each bit string of said two or more registers and said data transfer control circuit into two or more continuous bit strings, writing in independently according to each of that divided bit string, and performing control or transfer control.

[Claim 8] Said limit means is motion vector detection equipment according to claim 7 which generates a change-over signal, suspends supply of said two or more registers and the clock signal to the low order predetermined bit string of each bit string of said data transfer control circuit with this change-over signal, and is characterized by ****.

[Claim 9] It is motion vector detection equipment which detects correlation with the image which consists of two or more pixels, and two or more blocks which have the pixel of said image, and the pixel of the same number by predetermined retrieval image within the limits which contains many pixels rather than the number of said pixels. The absolute value of the difference of the corresponding data of pixels of said image and one block is calculated. It has the processor element of the plurality which performs carrying out accumulation of the absolute value of the difference of each pixel about sequential aforementioned each block by which cascade connection was carried out. Said each processor element While calculating the difference of the corresponding data of pixels of said image and one block the difference -- the absolute value of a value -- calculating -- difference -- the difference which obtains an absolute value -- with an absolute value operation means An absolute value and the output of the processor element of the preceding paragraph are added. said difference -- the difference obtained by the absolute value operation means -- It is motion vector detection equipment with which it has an addition means to transmit the addition result to the processor element of the next step, and is characterized by the addition means of each of said processor element having bit width of face as large as an addition means of a processor element by which it is located in the latter part.

[Claim 10] The addition means of each of said processor element is motion vector detection equipment according to claim 9 characterized by having the necessary minimum bit width of face which does not produce overflow.

[Translation done.]